|  |
| --- |
| tigerwang202@gmail.com |
| rAVR内核在Xilnx FPGA上的实现 |
| 8位处理器内核设计实验 |

|  |
| --- |
| WangMengyin  2011-10-12 |

1. 背景

rAVR项目并不准备实现完整功能的AVR兼容内核，相反它实现了最小功能的AVR内核。最初的设计目标是实现一个适合非常小的CPLD（例如EPM240）的处理器，同时仍然留下一些空间给其他逻辑。开发平台选用“Marsohod”的开源开发板。关于该开发板信息参考以下连接（[http://www.marsohod.org/index.php/howtostart/plata](http://www.marsohod.org/index.php/howtostart/plata" \t "_blank)），是俄语网站。

开发板提供4个按键、8盏LED灯、2个步进电机接口。

该AVR项目实现下述内容：

1. 仅实现4个通用寄存器r16~r19。
2. 通用寄存器r20中的位输出连接8盏LED灯输出引脚。
3. 通用寄存器r21中的位连接至步进电机的6个输出引脚
4. 通用寄存器r22中的低4位连接至4个按键状态输入引脚。

没有实现I/O端口、定时器、中断及其他AVR功能。但不管怎样该内核同真的AVR单片机是兼容的。Altera CPLD内置UFM用户Flash存储器，它以512个16位长度的字组成，AVR程序存放其中。

项目实现下列AVR指令：

ADD 0000 11rd dddd rrrr

SUB 0001 10rd dddd rrrr

AND 0010 00rd dddd rrrr

EOR 0010 01rd dddd rrrr

OR 0010 10rd dddd rrrr

MOV 0010 11rd dddd rrrr

CP 0001 01rd dddd rrrr

LSR 1001 010d dddd 0110

SUBI 0101 KKKK dddd KKKK

ANDI 0111 KKKK dddd KKKK

ORI 0110 KKKK dddd KKKK

CPI 0011 KKKK dddd KKKK

LDI 1110 KKKK dddd KKKK

BREQ 1111 00kk kkkk k001

BRNE 1111 01kk kkkk k001

BRCS 1111 00kk kkkk k000

BRCC 1111 01kk kkkk k000

上述指令可分为三类：

1. 算术及逻辑指令

ADD、SUB、SUBI、AND、ANDI、EOR（异或）、OR、ORI

1. 数据传送指令

MOV（寄存器传送）、LDI（装入立即数）

1. 条件转移指令

CP（比较）、CPI（与立即数比较）、BREQ（相等转移）、BRNE（不等转移）、BRCS（C置位转移）、BRCC（C清零转移）。

1. 位指令和位测试指令

LSR（右移）

其中PC发生跳转的指令有：BREQ、BRNE、BRCS、BRCC。

“d”代表目的寄存器，“r”代表源寄存器，“k”代表立即数。

内核只有2个标志位“Z”和“C”，设计实现于此对应的下列条件跳转指令（BREQ、BRNE、BRCS、BRCC），没有实现与子程序调用相关的实跳转指令，没有实现数据存储器。由于资源及其有限，实现上述设计似乎是不可行的，但通过运行ATMEL公司AVRStudio编译生成的汇编程序，测试应用板上按键控制对应LED指示灯状态，表明该内核确实能正常工作。

测试程序如下：

.include "1200def.inc"

.device AT90S1200

.cseg

.org 0

start:

;initial one bit in register

ldi r16,$80

rd\_port:

;read port (key status)

mov r17,r22

cpi r17,$0f

;go and blink one LED if no key pressed

breq do\_xor

cpi r17,$0e

;go and right shift LEDs if key[0] pressed

breq do\_rshift

cpi r17,$0d

;go and left shift LEDs if key[1] pressed

breq do\_lshift

;jump to read keys

or r16,r16

brne rd\_port

do\_rshift:

cpi r16,1

breq set80

lsr r16

mov r20,r16

brne pause

set80:

ldi r16,$80

mov r20,r16

or r16,r16

brne pause

do\_lshift:

cpi r16,$80

breq set1

lsl r16

mov r20,r16

brne pause

set1:

ldi r16,$01

mov r20,r16

or r16,r16

brne pause

do\_xor:

eor r20,r16

pause:

ldi r18,$10

cycle2:

ldi r19,$FF

cycle1:

or r19,r19

or r19,r19

subi r19,1

brne cycle1

subi r18,1

brne cycle2

or r16,r16

brne rd\_port

1. 目的
2. 熟悉8位处理器组成结构，为今后实现更为复杂处理器设计打下基础。
3. 评估Xilinx FPGA上实现8位处理器所需资源、速度。
4. 了解AVR指令系统。
5. rAVR源代码分析

rAVR采用同步设计，程序指令存放在16位字宽的UFM Flash中，共512个字的容量。UFM与rAVR内核采用串行接口，通过地址数据移位时钟信号将指令读入rAVR内核。

注：下列若非特殊说明，信号均是高电平有效。

模块rAVR描述包括下列接口：

表 1

|  |  |
| --- | --- |
| 名称 | 作用 |
| clk | 时钟 |
| reset | 异步复位信号 |
| UFM接口地址 | |
| arclkena | 地址串行移入时钟使能 |
| arclkshift | 地址串行移入操作使能 |
| ardout | 地址串行移入数据（地址输出给UFM） |
| UFM接口数据 | |
| drdin | 数据串行移出（数据输入给rAVR） |
| drshift | 数据移入操作使能 |
| 并行I/O接口 | |
| port0 | r20（输出连接LED指示灯） |
| port1 | r21（输出连接步进电机） |
| port2 | r22（输入连接按钮和其他输入） |

模块中定义一些信号和寄存器，比较重要的有下列几个：

reg [15:0]opcode 操作符寄存器，用于存放UFM中取得指令。

reg [8:0]ip 指令指针指向下一条执行指令在UFM中的地址，需要说明下，UFM中一个字长16位，这里的地址是16位字的地址，当转换为8位字节字长地址须将ip乘以2。

reg [7:0]alu\_operand0;

reg [7:0]alu\_operand1;

reg [2:0]alu\_cmd;

alu\_operand储存送入ALU参与运算的两个操作数，alu\_operand0对应操作数Rd、alu\_operand1对应操作数Rs或立即数。

alu\_cmd是指令的操作码部分。

reg flag\_z;

reg flag\_c;

reg flag是Z、C两个程序状态字。

程序使用counter计数器驱动UFM读状态机，产生适合UFM读取时序，从中取出指令。这部分主要操作EPM240内置的UFM，不作为重点关注。

UFM读状态机还产生与rAVR内核运行相关控制信号，分别是：

wire opcode\_ready 信号，在读取1个指令操作完成时，该信号置高，通知其他进程在下一时钟周期完成指令译码操作。

wire fix\_result 信号，控制将ALU运算结果写回通用寄存器及程序状态字。

wire addr\_inc 信号，控制PC自增，PC <= PC + 1。

rAVR运行流程如下：

UFM读状态机完成一个读操作，即完成去指令操作，将opcode\_ready = 1，指令保存在opcode寄存器中。

指令译码由若干组合逻辑组成，首先有3个组合逻辑，分别从opcode中取出立即数immediate、源寄存器地址src\_reg\_idx、目的寄存器地址dest\_reg\_idx。src\_reg\_idx、dest\_reg\_idx分别作为2个多路选择器地址，从通用寄存器组中选择匹配地址的寄存器并将其分别输出至source\_val和dest\_val信号。这里并不是说1条指令中会**同时包含**上述3个地址，对于跳转指令可能不含有任何一个，而对于SUBI等I结尾的指令才包含立即数。在后续的**指令译码**中会根据指令中不同操作码做相应处理。

指令译码根据操作码不同选择相应的sel\_cmd信号，这里采用一种简化设计，考虑到带有立即数的算术运算（或逻辑运算）与不带立即数的运算，操作过程相同，仅是送入ALU的操作数会有不同。例如：SUB 与SUBI指令，其中SUB指令操作数据是R(r)和R(d)寄存器，而SUBI指令中的R(r)寄存器被立即数代替，显然不需要为SUB和SUBI两个相似的指令创建2个不同的ALU控制信号，这里使用如果sel\_imm信号指示带有立即数的指令，指令中含有立即数将sel\_imm = 1 。对于跳转指令不译码给ALU，而在程序计数器中对IP地址计算。根据sel\_imm选择source\_val（R(s)寄存器中值）或立即数送入alu\_operand1。

指令译码的最后环节是将译码产生的信号在时钟上升沿送入锁存器，在下个时钟周期执行ALU运算。

ALU输入信号，包括alu\_operand0、alu\_operand1、alu\_cmd（ALU命令）运算逻辑是一个组合逻辑，case语句根据不同alu\_cmd对操作数执行相应操作，结果输出alu\_result及程序状态字flag\_c、flag\_z。

**注意：**代码中flag\_c、flag\_z是信号，flag\_c\_fixed、flag\_z\_fixed综合成寄存器。

在下一个clk上升沿ALU输出信号被写入相应寄存器（R(?)和flag\_?\_fixed）。

ALU运算完成同时程序计数器也将更新后程序指针ip写入。基本上ip指针的运算与ALU运算是并行的，对于算术或逻辑指令，新的ip值为ip+1，正常要执行下一条指令。如果遇到跳转指令，在指令译码过程中need\_jump = 1，新的ip值为ip <= ip + {opcode[9],opcode[9],opcode[9:3]}，即跳转后执行的指令地址。

**注意：**根据AVR指令集描述，跳转后PC指针地址PC = PC + **1** + k （k是跳转偏移量），这样就和上面ip的赋值就少加1，仔细查看代码，发现代码在addr\_inc == 1时，已经对ip值进行自增操作（ip <= ip + 1'b1），因此此后跳转中就不用重复加1。

至此新的ip产生跳转到状态（1）执行新一轮取指操作。

1. Xilinx Spartan-3E 1.1.0版本实现

1.1.0版本使用基于1级流水线的设计，分为取指令、指令执行两阶段，在执行当前指令的同时完成下一条指令的读取，当遇到跳转指令时，则需要一个额外周期完成取指令操作。流水线示意图如下。



图1 取指令流程图

上图描述了取指令的数据流，其中程序地址寄存器和指令寄存器将整个数据流分为两个阶段：取指令和指令执行阶段。除所示D触发器外，这两个阶段中操作都通过组合逻辑实现。取指令阶段相关的模块有：PC程序寄存器、程序存储器BlockRam、地址产生逻辑。地址寄存器是在BlockRam内部实现，它的输出端的值与PC寄存器内保存值相同。之所以要使用一个额外寄存器保存PC，是由于Xilinx的BlockkRAM存在限制，地址必须被一个CLK时钟锁存后在DOUT端口才能输出数据，而被锁存的地址又不能被外部访问，因此设计增加一个额外的PC寄存器记录指令计数器PC的值，保持与BlockRAM中内部存储器的同步。

流水线实现：

程序执行以取指令操作开始，PC的值指向被取出指令在BlockROM中的地址（复位后PC值为0，即指向程序存储器的零地址），在一段延时之后（由BlockRAM内部组合逻辑产生的延时），正确的16位指令码输出至指令寄存器pmem\_reg的输入D。在取指令操作结束时，时钟到达。CLK时钟上升沿将取出的指令锁存至pmem\_reg寄存器。在取指令的同时，下一条指令的地址已经通过地址产生逻辑输出到PC\_next信号上，该时钟上升沿同时完成PC寄存器的更新。在通常情况下地址产生逻辑对PC的值自增1后输出给PC\_Next，如果发生跳转，PC\_Next的值则是PC的值加或减偏移量。

在来看指令执行阶段，在一段延时之后（指令寄存器内部延时）pmem\_reg寄存器输出取得指令，组合逻辑进行指令译码及ALU操作（不需要时钟参与）。在指令执行周期结束前，ALU完成运算，各输出状态达到稳态。这是又一个CLK的上升沿到来，将ALU运算结果及各标志位回写至寄存器。同时又将下一条指令锁存至pmem\_reg中。至此完成一条指令的执行操作。

程序有会用到各种跳转指令内核需要进行相应处理。指令执行阶段的控制逻辑通过指令译码判断当前执行的是否是跳转指令，当跳转条件满足时，组合逻辑输出需要跳转的信号need\_jump。一方面，该信号输入地址产生逻辑修改PC地址（PC\_next <= PC + jump\_inc）；另一方面，该信号控制回写逻辑不进行回写操作。需要注意的是在执行跳转指令同时，下一个地址单元中的指令已经被取出并输入pmeg\_reg的输入端D。设计通过设置空闲状态IDLE，在下一个时钟周期执行空操作（即ALU忽略下一条指令操作，不对结果进行回写），跳过该预取指令。同时，取指操作将跳转后地址PC\_next写入寄存器pc，当又一个时钟到来后恢复ALU正常执行状态。

也就是说对于跳转指令发生指令地址的不连续变化，需要抛弃预取指令，这中间插入了一个额外的时钟周期将新的pc写入寄存器，取得跳转后指令。对跳转命令而言执行周期为2个CLK。

需要注意的是：AVR Studio给出的PC值是指令执行前的PC值。对应取指令阶段结束前的PC（在写入pmem\_reg寄存器的CLK到来前）。



图2 指令执行流程图

内核使用一个状态机处理复位及跳转的执行过程。发生复位时，BlockRAM中地址寄存器输出值Q不确定，在Reset状态时PC异步设置成0，在Reset状态最后，CLK到来0地址被写入BlockRAM，下一个时钟周期取得0地址中存放的指令。对于ALU第1、2个时钟周期指令寄存器pmem\_reg尚未输出有效指令，ALU输出结果不被回写，只有当处于Execute状态时，ALU输出结果才有可能回写。在发生跳转时，插入一个额外的Idle状态完成重新取指（re-fetch）操作，ALU执行结果不回写。